

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Docket No.: 60188-108

**PATENT**

#2  
4-30-02  
cd  
Jc997 U.S. PRO  
09/973888  
10/11/01

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Kazuhiro OKABAYASHI, et al.

Serial No.:

Group Art Unit:

Filed: October 11, 2001

Examiner:

For: INTEGRATED CIRCUIT WITH MULTIPROCESSOR ARCHITECTURE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2000-311580, filed October 12, 2000**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prp  
**Date: October 11, 2001**  
Facsimile: (202) 756-8087

60188-108  
OKABAYASHI et al  
October 11, 2001

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年10月12日

出 願 番 号  
Application Number:

特願2000-311580

出 願 人  
Applicant(s):

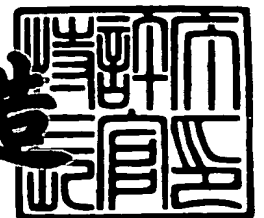
松下電器産業株式会社

jc997 U.S. PTO  
09/973888  
10/11/01

2001年 7月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3067196

【書類名】 特許願

【整理番号】 2037620085

【提出日】 平成12年10月12日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡林 和宏

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡本 稔

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 丸井 信一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 外部より供給される第 1 のクロックを入力とし、位相の一致した第 2 のクロックと第 3 のクロックと第 4 のクロックを出力するクロック供給部と、前記第 2 のクロックを入力とする第 1 のプロセッサと、前記第 3 のクロックを入力とする第 2 のプロセッサと、前記第 4 のクロックを入力とするメモリと、前記第 1 のプロセッサが出力する第 1 のメモリアクセス信号と第 1 のアドレスと、前記第 2 のプロセッサが出力する第 2 のメモリアクセス信号と第 2 のアドレスを入力とし、前記第 1 のメモリアクセス信号が活性化されているときに前記第 1 のアドレスを選択して前記メモリに出力し、前記第 2 のメモリアクセス信号が活性化されているときに前記第 2 のアドレスを選択して前記メモリに出力するメモリ制御部を備えた集積回路を具備することを特徴とする情報処理装置。

【請求項 2】 集積回路は、外部より供給される第 1 のリセット信号と第 2 のリセット信号と第 3 のリセット信号を入力とし、前記第 1 のプロセッサに第 4 のリセット信号を出力し、前記第 2 のプロセッサに第 5 のリセット信号を出力し、前記メモリに第 6 のリセット信号を出力し、前記第 1 のリセット信号が活性化されたときには、前記第 4 のリセット信号、第 5 のリセット信号、第 6 のリセット信号すべてを活性化し、前記第 2 のリセット信号が活性化されたときには、前記第 4 のリセット信号のみを活性化し、前記第 3 のリセット信号が活性化されたときには、前記第 5 のリセット信号のみを活性化するリセット制御部をさらに備えたことを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 集積回路は、外部より供給される第 1 の制御信号と第 2 の制御信号を入力とし、前記第 1 の制御信号と前記第 2 の制御信号が同時に活性化されたときには前記第 2 のクロック、第 3 のクロック、第 4 のクロックすべてを停止し、前記第 1 の制御信号のみが活性化されたときには前記第 2 のクロックのみを停止し、前記第 2 の制御信号のみが活性化されたときには前記第 3 のクロックのみを停止するクロック供給部をさらに備えたことを特徴とする請求項 1 記載の情報処理装置。

【請求項4】集積回路は、外部より供給される第1の制御信号と第2の制御信号を入力とし、前記第1の制御信号と前記第2の制御信号が同時に活性化されたときには前記第2のクロック、第3のクロック、第4のクロックすべてを停止し、前記第1の制御信号のみが活性化されたときには前記第2のクロックのみを停止し、前記第2の制御信号のみが活性化されたときには前記第3のクロックのみを停止するクロック供給部をさらに備えたことを特徴とする請求項2記載の情報処理装置。

【請求項5】少なくとも1つのメモリを内蔵する集積回路において、外部より供給されるクロックを入力とし、位相の一致した少なくとも2つのクロックを出力するクロック供給部と、前記クロック供給部が出力するクロックを入力とする少なくとも2つのプロセッサを備えたことを特徴とする情報処理装置。

【請求項6】外部より供給される少なくとも3本のリセット信号を入力とし、そのうち1本が活性化されたときに少なくとも3本のリセット信号を前記プロセッサと前記メモリに出力するリセット制御部を備えたことを特徴とする請求項5記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は主にデジタル信号処理を実現するプロセッサなどの情報処理装置に関するものである。

【0002】

【従来の技術】

近年、移動体通信をはじめとする各種デジタル信号処理にはDSP（デジタル信号処理プロセッサ）が広く用いられている。特に、近年の移動体通信システムを実現するには従来の数倍の処理能力が要求されるため、DSPやマイコンを複数使い、それぞれのLSIがメモリを共有した上でデータ処理を行うことが多い。一方、プロセス微細化の進展に伴い、これら複数LSIを1チップ上に集積することが可能となっている。

【0003】

以下図4、図5、図6を用いてこのような手法を用いた従来の技術について説明する。図4は2つのプロセッサ500とプロセッサ510が共にメモリ制御回路550を介してメモリ530からデータ入出力することで処理を実行する構成を示したものである。

#### 【0004】

まず、プロセッサ500、510、メモリ制御回路550をそれぞれリセット信号505、515、555をアクティブにすることで初期化する。すなわち、プロセッサ500においてはリセット信号505がアクティブになるとプロセッサ500に内蔵されるリセット制御部504はプロセッサ500に内蔵されるクロック供給部508、アドレス出力部502、演算部509や図示しない命令実行制御に関わるユニット等を初期化する。

#### 【0005】

プロセッサ510においては、同様の処理をリセット制御部514がクロック供給部518、アドレス出力部512、演算部519に対して実行する。メモリ制御回路550においてはアドレス506、516、メモリアクセス信号507、517をクロック533で同期化する機構等を初期化する。

#### 【0006】

同時にプロセッサ500、510、メモリ制御回路550に外部よりクロック503、513、533をそれぞれ入力する。

#### 【0007】

次にリセット信号505、515、555を非アクティブにすることで、プロセッサ500、510、メモリ制御回路550は所定の動作を開始する。このとき、プロセッサ500、510、メモリ制御回路550はそれぞれクロック503、513、533という異なったクロックに同期して動作するため、プロセッサ500、510、メモリ制御回路550相互の動作は位相があっていない、すなわち非同期の動作となる。

#### 【0008】

上記動作の後、プロセッサ500がメモリ530をアクセスする場合の動作について以下説明する。



## 【0009】

プロセッサ500がメモリ530からデータをリードする場合、プロセッサ500はクロック503に同期して図5に示す時刻 $t_{501}$ にメモリアクセス信号507をアクティブかつリードを指示する状態にし、アドレス506を出力する。メモリ制御回路550はメモリアクセス信号507がアクティブであるので、メモリ530に出力するアドレス556としてアドレス506を選択する。

## 【0010】

次いでメモリ制御回路550は、クロック533に同期していないメモリアクセス信号507とアドレス506を、メモリ530の動作クロック533に同期化して時刻 $t_{502}$ にメモリアクセス信号557、アドレス556をメモリ530に出力する。メモリ530はメモリアクセスタイム $\Delta t$ 後にデータをバス531に出力する。プロセッサ500の演算部509はクロック503に同期して時刻 $t_{503}$ にバス531からデータを取り込む。

## 【0011】

プロセッサ500がメモリ530にデータをライトする場合、プロセッサ500はクロック503に同期して図6に示す時刻 $t_{504}$ にメモリアクセス信号507をアクティブかつライトを指示する状態にし、アドレス506を出力する。同時にバス531にデータを出力する。メモリ制御回路550はメモリアクセス信号507がアクティブであるので、メモリ530に出力するアドレス556としてアドレス506を選択する。

## 【0012】

次いでメモリ制御回路550は、クロック533に同期していないメモリアクセス信号507とアドレス506を、メモリ530の動作クロック533に同期化して時刻 $t_{505}$ にメモリアクセス信号557、アドレス556をメモリ530に出力する。メモリ530は時刻 $t_{506}$ にバス531からデータを取り込む。

## 【0013】

プロセッサ510がメモリ530からデータをリードあるいはライトする場合、メモリ制御回路550はメモリアクセス信号517がアクティブであるので、

メモリ 5 3 0 に出力するアドレス 5 5 6 としてアドレス 5 1 6 を選択する点以外は上記に同じである。

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、プロセッサ 5 0 0、プロセッサ 5 1 0 からメモリ 5 3 0 へのアクセスタイミングを同期化するメモリ制御回路 5 5 0 が必要である。このことはプロセッサ 5 0 0、5 1 0、メモリ 5 3 0 を 1 チップ上に集積する場合、チップ面積の増加を招く。

【 0 0 1 5 】

また、プロセッサ 5 0 0、5 1 0 とメモリ 5 3 0 間のデータ転送はそれぞれの動作クロック 5 0 5、5 1 5、5 3 3 の位相差のため高速になされない（従来例では少なくともプロセッサ 5 0 0 の動作クロック 5 0 3 の 2 サイクル必要）。

【 0 0 1 6 】

また、リセット信号 5 0 5、5 1 5、5 5 5 のアクティブ、非アクティブの変化はそれぞれクロック 5 0 5、5 1 5、5 3 3 に同期してなされる必要があり、リセット信号の入力タイミング設計が困難になるという問題がある。

【 0 0 1 7 】

本発明はかかる点に鑑み、複数のプロセッサを最小限の面積で 1 チップに内蔵しデータ転送を高速に実行することで処理能力を飛躍的に高める情報処理装置を提供することを目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

上記目的を達成するために本発明は、外部より供給される第 1 のクロックを入力とし、位相の一致した第 2 のクロックと第 3 のクロックと第 4 のクロックを出力するクロック供給部と、前記第 2 のクロックを入力とする第 1 のプロセッサと、前記第 3 のクロックを入力とする第 2 のプロセッサと、前記第 4 のクロックを入力とするメモリと、前記第 1 のプロセッサが出力する第 1 のアクセス信号と第 1 のアドレスと、前記第 2 のプロセッサが出力する第 2 のアクセス信号と第 2 のアドレスを入力とし、前記第 1 のアクセス信号が活性化されているときに前記第

1 のアドレスを選択して前記メモリに出力し、前記第 2 のアクセス信号が活性化されているときに前記第 2 のアドレスを選択して前記メモリに出力するメモリ制御部を備えた集積回路を具備したことを特徴とする。

【 0 0 1 9 】

また、外部より供給される第 1 のリセット信号と第 2 のリセット信号と第 3 のリセット信号を入力とし、前記第 1 のプロセッサに第 4 のリセット信号を出力し、前記第 2 のプロセッサに第 5 のリセット信号を出力し、前記メモリに第 6 のリセット信号を出力し、前記第 1 のリセット信号が活性化されたときには、前記第 4 のリセット信号、第 5 のリセット信号、第 6 のリセット信号すべてを活性化し、前記第 2 のリセット信号が活性化されたときには、前記第 4 のリセット信号のみを活性化し、前記第 3 のリセット信号が活性化されたときには、前記第 5 のリセット信号のみを活性化するリセット制御部をさらに備えたことを特徴とする。

【 0 0 2 0 】

また、外部より供給される第 1 の制御信号と第 2 の制御信号を入力とし、前記第 1 の制御信号と前記第 2 の制御信号が同時に活性化されたときには前記第 2 のクロック、第 3 のクロック、第 4 のクロックすべてを停止し、前記第 1 の制御信号のみが活性化されたときには前記第 2 のクロックのみを停止し、前記第 2 の制御信号のみが活性化されたときには前記第 3 のクロックのみを停止するクロック供給部をさらに備えたことを特徴とする。

【 0 0 2 1 】

また、少なくとも 1 つのメモリを内蔵する集積回路において、外部より供給されるクロックを入力とし、位相の一致した少なくとも 2 つのクロックを出力するクロック供給部と、前記クロック供給部が出力するクロックを入力とする少なくとも 2 つのプロセッサを備えたことを特徴とする。

【 0 0 2 2 】

また、外部より供給される少なくとも 3 本のリセット信号を入力とし、そのうち 1 本が活性化されたときに少なくとも 3 本のリセット信号を前記プロセッサと前記メモリに出力するリセット制御部をさらに備えたことを特徴とする。

【 0 0 2 3 】

本発明は上記した構成によって、複数プロセッサ間のデータ転送を高効率で実行し、最小のチップ面積で処理能力を飛躍的に高める。

【0024】

【発明の実施の形態】

（第1の実施の形態）

以下本発明の第1の実施の形態について図面を用いて説明する。

【0025】

図1は本実施の形態に係る構成図である。LSI120はプロセッサ100、110、クロック供給部140、メモリ130、メモリ制御部180、リセット制御部170より構成される。

【0026】

クロック供給140はLSI120の外部より供給されるクロック103を入力とし、プロセッサ100、110、メモリ制御部180にそれぞれ動作クロック141、142、143を出力する。

【0027】

またリセット制御部170はLSI120の外部より供給されるリセット信号121、122、123を入力とし、プロセッサ100、110、クロック供給部140にリセット信号172、173、171をそれぞれ出力する。

【0028】

メモリ制御部180は、例えば図2に示すように構成される。メモリアクセス信号109がアクティブであるとセレクタ187はアドレス108を選択してメモリ130にアドレス183を出力する。また、メモリアクセス信号119がアクティブであるとセレクタ187はアドレス118を選択してメモリ130にアドレス183を出力する。

【0029】

まずプロセッサ100、110、クロック供給部140を初期化する。すなわち、LSI120の外部からリセット信号121をアクティブにする。このときリセット信号122、123はどのような状態であってもよい。

【0030】

リセット制御部170は、リセット信号121がアクティブであるトリセット信号172, 173, 171をアクティブな状態で出力する。これにより、プロセッサ100、110、クロック供給部140は同じタイミングで初期化される。

#### 【0031】

同時にLSI120の外部よりクロック103を入力する。クロック供給部140はクロック103を入力としてクロック141, 142, 143をそれぞれプロセッサ100、110、メモリ制御部180に出力する。このとき、クロック141, 142, 143は相互で位相が同じある。これにより、プロセッサ100、110、メモリ130は相互に同期して動作する。すなわち単一のクロックで動作するのと同じ状態である。

#### 【0032】

上記動作の後、プロセッサ100がメモリ130をアクセスする場合の動作について以下説明する。

#### 【0033】

プロセッサ100がメモリ130からデータをリードする場合、プロセッサ100から図7に示す時刻 $t_{101}$ にアドレス108を出力し、メモリアクセス信号109をアクティブかつリードを指示する状態にしてメモリ制御部180に出力する。

#### 【0034】

メモリ制御部180は時刻 $t_{101}$ にメモリアクセス信号109がアクティブであるので、セクタ187でアドレス108を選択する。メモリ制御部180は時刻 $t_{101}$ にアドレス183、メモリアクセス信号184をメモリ130に出力する。

#### 【0035】

メモリ130は、メモリアクセスタイム $\Delta t$ 後にバス190にデータを出力する。プロセッサ100はバス190を介して時刻 $t_{102}$ にデータを入力し演算部101にて所定の処理を実行する。

#### 【0036】

以上の動作より明らかなように、プロセッサ100はメモリアクセス信号109をアクティブにしてからクロック141の1サイクル後にメモリ130が出力するデータを入力する。

## 【0037】

次にプロセッサ100がメモリ130にデータをライトする（書き込む）場合について以下説明する。

## 【0038】

プロセッサ100は図8に示す時刻t104にアドレス108を出力し、メモリアクセス信号109をアクティブかつライトを指示する状態にしてメモリ制御部180に出力する。

## 【0039】

メモリ制御部180は、時刻t104にメモリアクセス信号109がアクティブであるので、セクタ187でアドレス108を選択する。メモリ制御部180は時刻t101にアドレス183、メモリアクセス信号184をメモリ130に出力する。

## 【0040】

同時にプロセッサ100は時刻t104にバス190にデータを出力する。

## 【0041】

次いでメモリ130は時刻t105にバス190よりデータを取り込む。

## 【0042】

以上の動作より明らかなように、プロセッサ100がメモリアクセス信号109をアクティブにしてからクロック141の1サイクル後にメモリ130にデータがライトされる。

## 【0043】

上記動作はプロセッサ100がメモリ130にアクセスする場合であるが、プロセッサ101がメモリ130にアクセスする場合については、プロセッサ101がメモリアクセス信号119をアクティブにし、メモリ制御部180がアドレス183としてアドレス118を選択する点以外は同じである。

## 【0044】

このような処理をプロセッサ 1 0 0、1 1 0 が実行した後、一方のプロセッサ、例えばプロセッサ 1 1 0 の処理が終了したとき、あるいはプロセッサ 1 1 0 の処理を途中で再スタートする場合は、リセット信号 1 2 3 のみをアクティブにする。このときリセット制御部 1 7 0 はリセット信号 1 7 3 のみをアクティブにした状態で出力し、プロセッサ 1 1 0 のみ初期化される。すなわち、このときプロセッサ 1 0 0、クロック供給部 1 4 0、メモリ 1 3 0 はそのまま動作を継続する。

#### 【 0 0 4 5 】

以上のように本実施の形態によれば、プロセッサ 1 0 0、プロセッサ 1 1 0、メモリ 1 3 0 を内蔵し、クロック制御部 1 4 0 が出力する位相の一致したクロック 1 4 1、1 4 2、1 4 3 に同期して動作するためメモリ制御部 1 8 0 において同期化のための回路は不要であり、メモリアクセスも高速（本実施例の場合プロセッサ 1 0 0 の動作クロック 1 4 1 の 1 サイクル）に行うことができる。

#### 【 0 0 4 6 】

また、リセット信号についても単一のクロック位相を考慮して外部より入力するのでタイミング設計が容易になる。さらにリセット制御部、クロック制御部は LSI 1 2 0 内に 1 個だけ内蔵されるため、プロセッサ毎に持った場合と比べチップ面積が大幅に縮小される。

#### 【 0 0 4 7 】

##### （第 2 の実施の形態）

次に本発明の第 2 の実施の形態について図面を用いて説明する。

#### 【 0 0 4 8 】

図 3 は本実施の形態の構成を示したものであり、図 1 と異なる点は、LSI 3 2 0 の外部よりストップ信号 3 2 1、3 2 2 を入力し、クロック供給部 3 4 0 に接続し、クロック供給部 3 4 0 はストップ信号 3 2 1 のみがアクティブのときにはクロック 3 4 1 の供給（発振）を停止し、ストップ信号 3 2 2 のみがアクティブのときにはクロック 3 4 2 の供給（発振）を停止し、ストップ信号 3 2 1 及び 3 2 2 の両方が同時にアクティブのときにはクロック 3 4 1、3 4 2、3 4 3 の供給（発振）を停止することである。

## 【0049】

これにより、図1の動作で説明したようなプロセッサ100、110とメモリ130間のデータ入出力からなる一連の処理が終了したときにクロックを停止することでLSI320の消費電力を低減する。すなわち、プロセッサ110の処理が終了した場合、外部よりストップ信号322をアクティブにする。クロック供給部340はクロック342の出力（発振）を停止する。このときクロック341、343は停止しないため、プロセッサ100はそのまま動作を継続する。これによりLSI320の処理量に応じてクロックの動作／非動作が選択することで電力消費を抑えることができる。

## 【0050】

なお、上記実施の形態では、LSI120、320に内蔵するプロセッサが2個、メモリが1個の場合について説明したが、プロセッサ数が3以上の場合にも適用できる。このときメモリ制御部180は3以上のアドレス、メモリアクセス信号を入力、選択すればよい。また、メモリが2以上の場合にはメモリ制御部180相当の構成をそれぞれのメモリに接続すればよい。

## 【0051】

## 【発明の効果】

以上のように本発明によれば、第1のプロセッサ、第2のプロセッサ、メモリを内蔵し、クロック供給部が出力する位相の一致した第2、第3、第4のクロックに同期して動作するため、メモリ制御部において同期化のための回路は不要であり、メモリアクセスも高速に行うことができる。

## 【0052】

また、リセット信号についても単一のクロック位相を考慮して外部より入力するのでタイミング設計が容易になる。

## 【0053】

さらにリセット制御部、クロック供給部は集積回路内に1個だけ内蔵されるため、プロセッサ毎に持った場合と比べ、チップ面積が大幅に縮小される。

## 【図面の簡単な説明】

## 【図1】



本発明の第 1 の実施の形態に係る情報処理装置の構成を示すブロック図

【図 2】

図 1 のメモリ制御部の構成例を示す図

【図 3】

本発明の第 2 の実施の形態に係る情報処理装置の構成を示すブロック図

【図 4】

従来のマルチプロセッサの構成の一例を示すブロック図

【図 5】

従来のメモリリードのタイミングチャート

【図 6】

従来のメモリライトのタイミングチャート

【図 7】

図 1 のメモリリードのタイミングチャート

【図 8】

図 1 のメモリライトのタイミングチャート

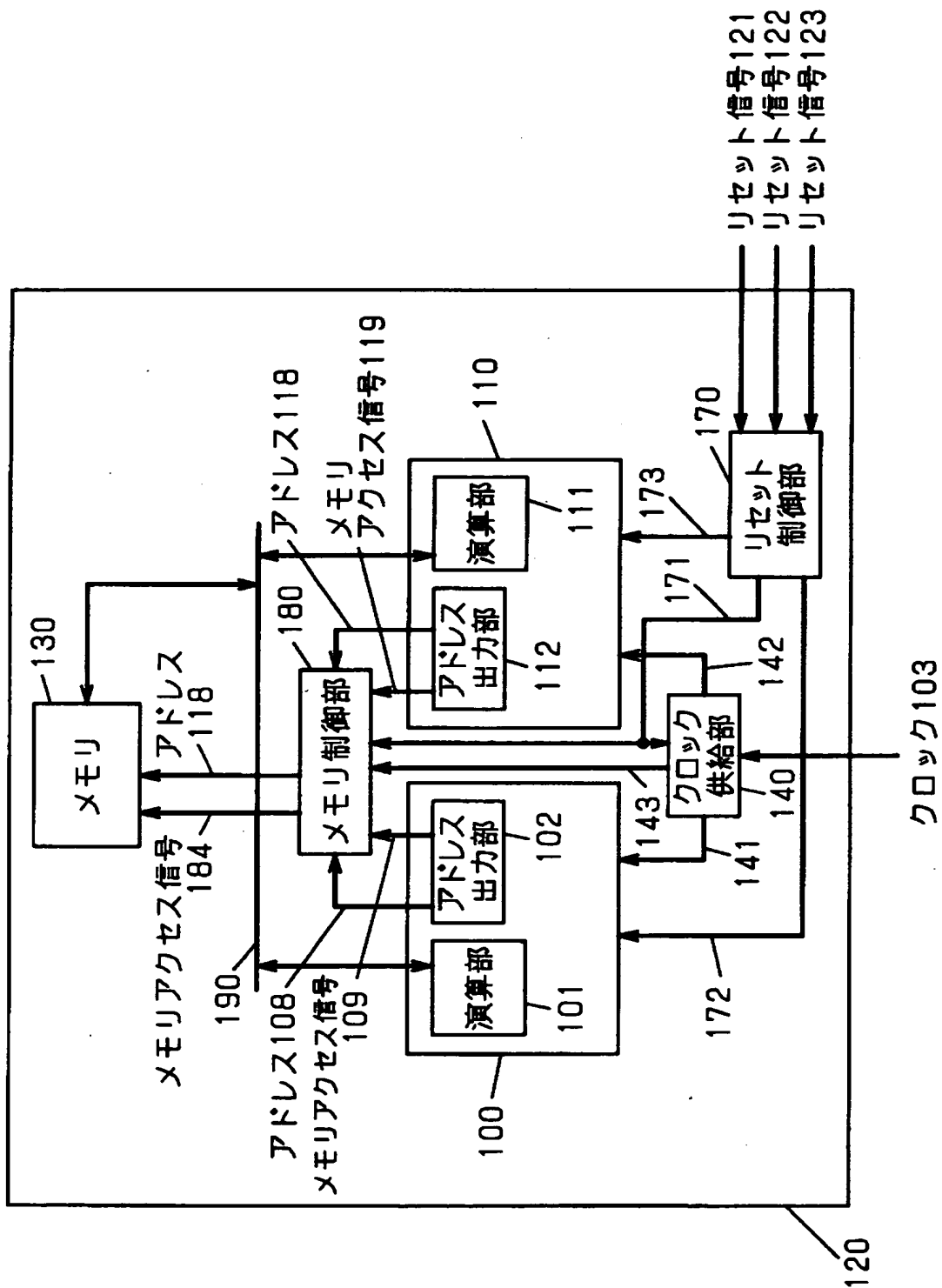
【符号の説明】

1 0 0, 1 1 0    プロセッサ  
1 0 1, 1 1 1    演算部  
1 0 2, 1 1 2    アドレス出力部  
1 0 3    クロック  
1 0 8, 1 1 8    アドレス  
1 0 9, 1 1 9    メモリアクセス信号  
1 2 0, 3 2 0    LSI  
1 2 2    リセット信号  
1 2 3    リセット信号  
1 3 0    メモリ  
1 4 0, 3 4 0    クロック供給部  
1 4 1, 3 4 1    クロック  
1 4 2, 3 4 2    クロック

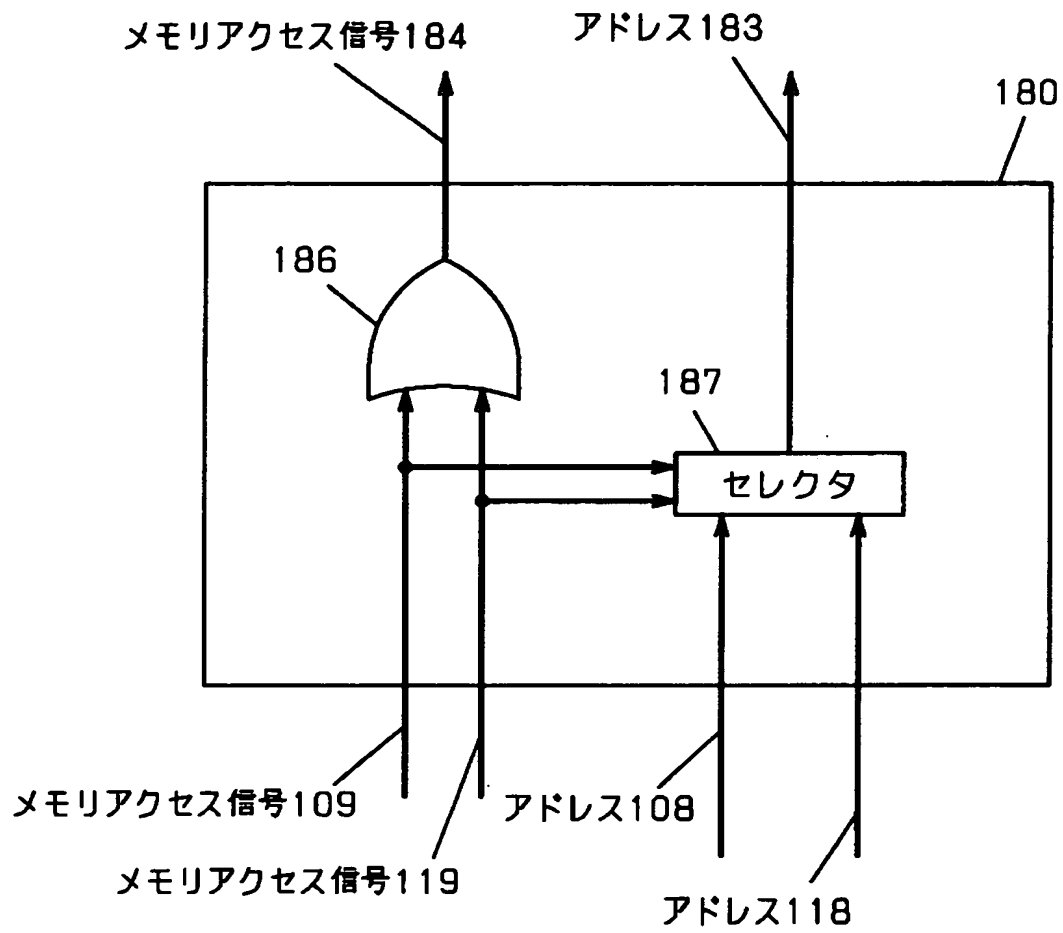
1 4 3, 3 4 3 クロック  
1 7 0 リセット制御部  
1 7 1 リセット信号  
1 7 2 リセット信号  
1 7 3 リセット信号  
1 8 0 メモリ制御部  
1 8 3 アドレス  
1 8 4 メモリアクセス信号  
1 8 7 セレクタ  
1 9 0 バス  
3 2 1, 3 2 2 ストップ信号

【書類名】 図面

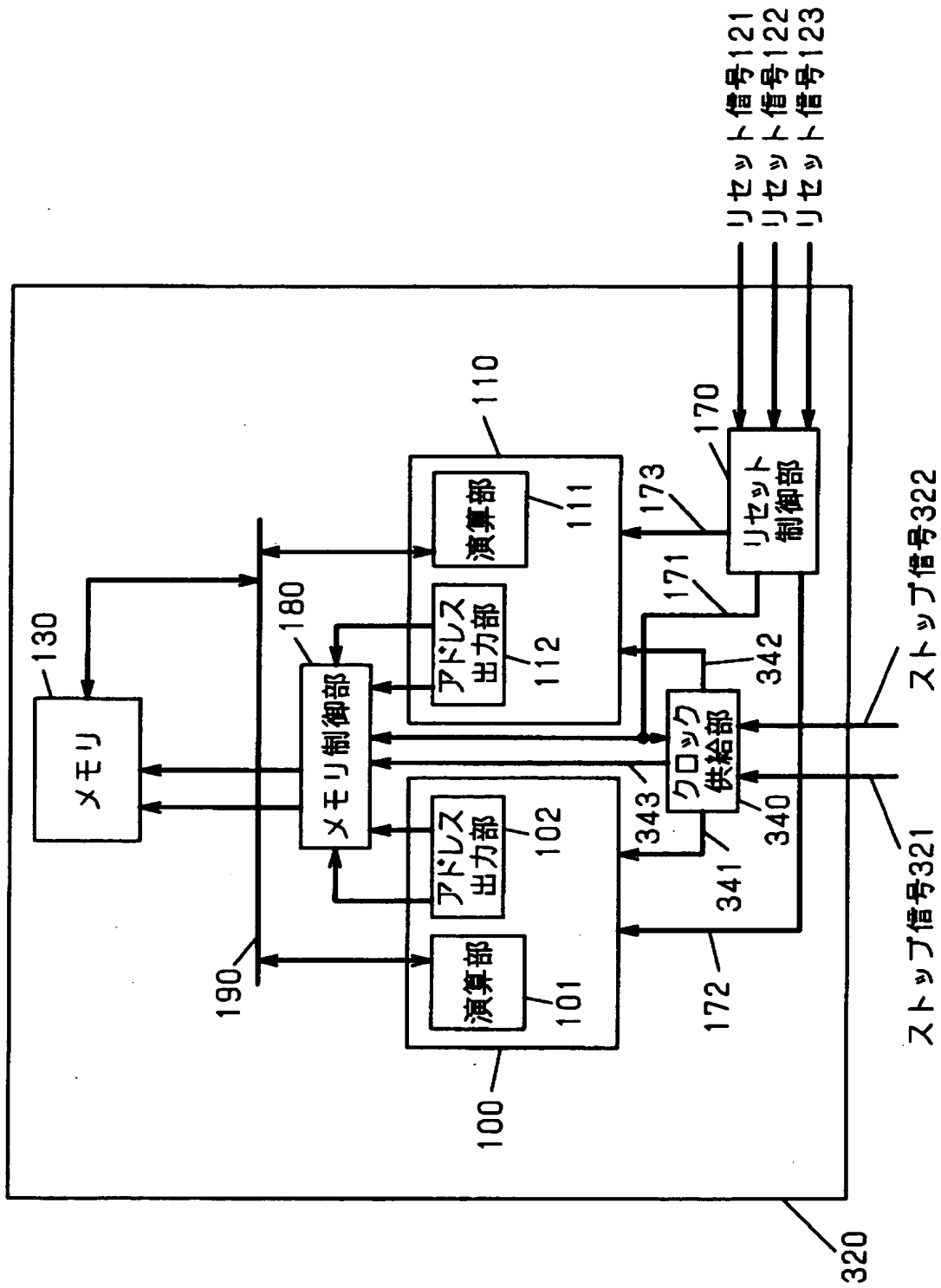
【図 1】



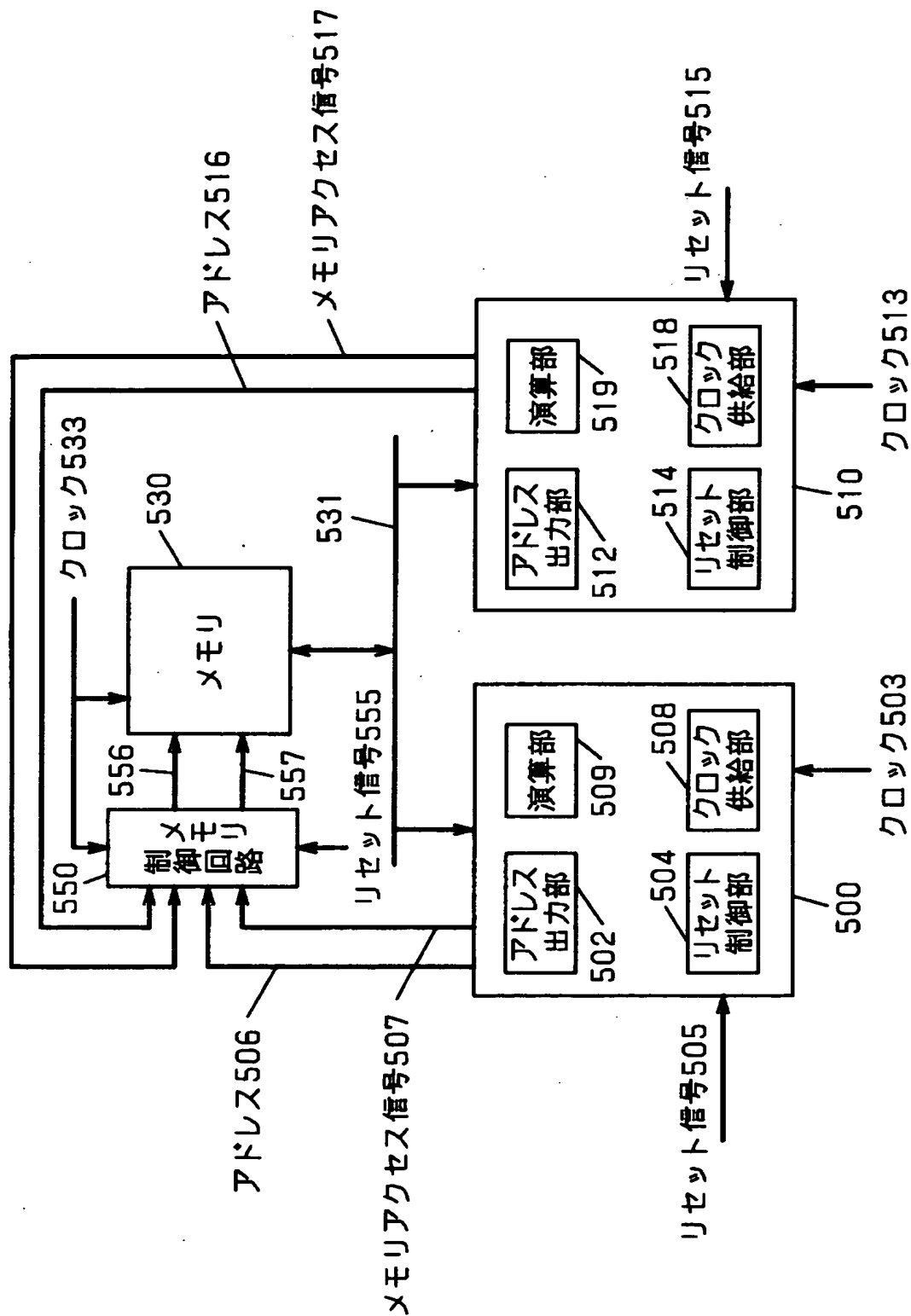
【図 2】



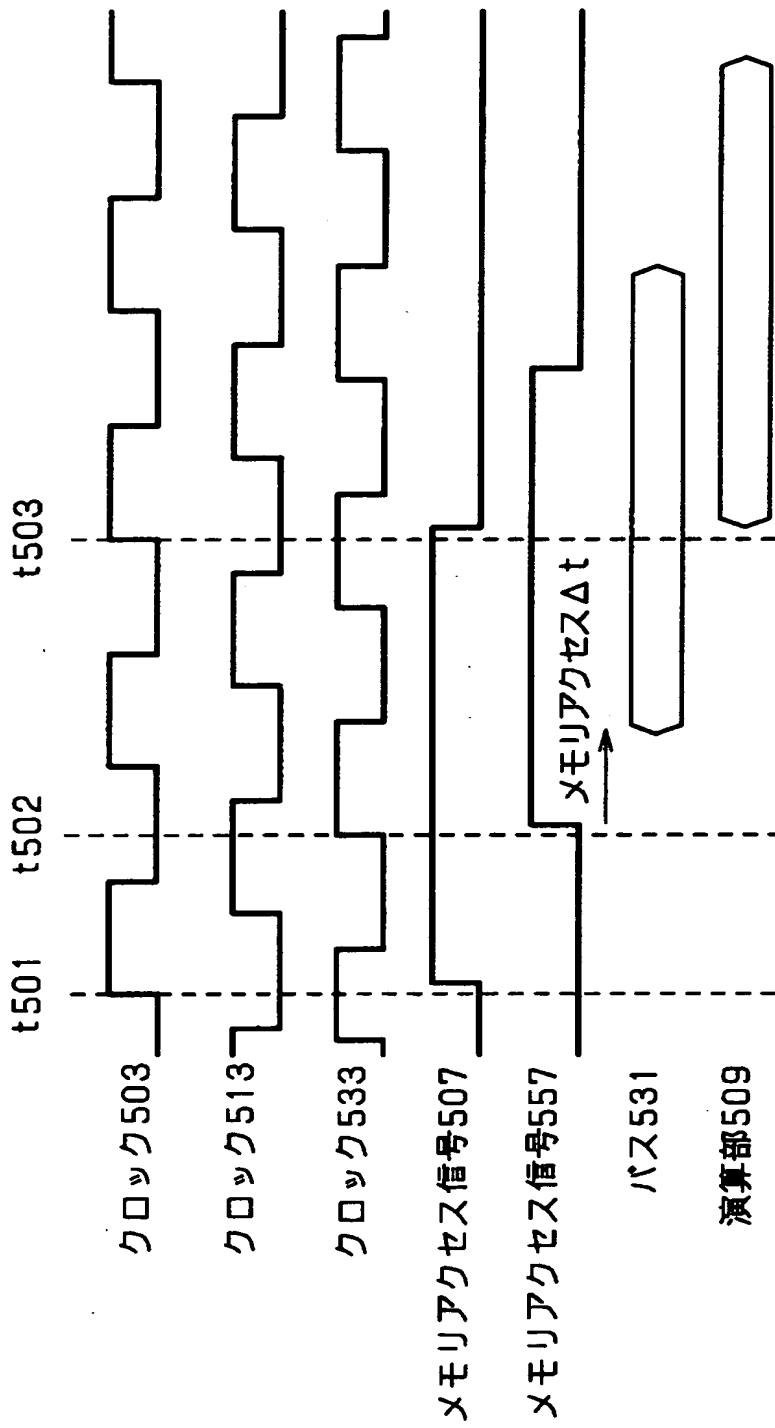
【図 3】



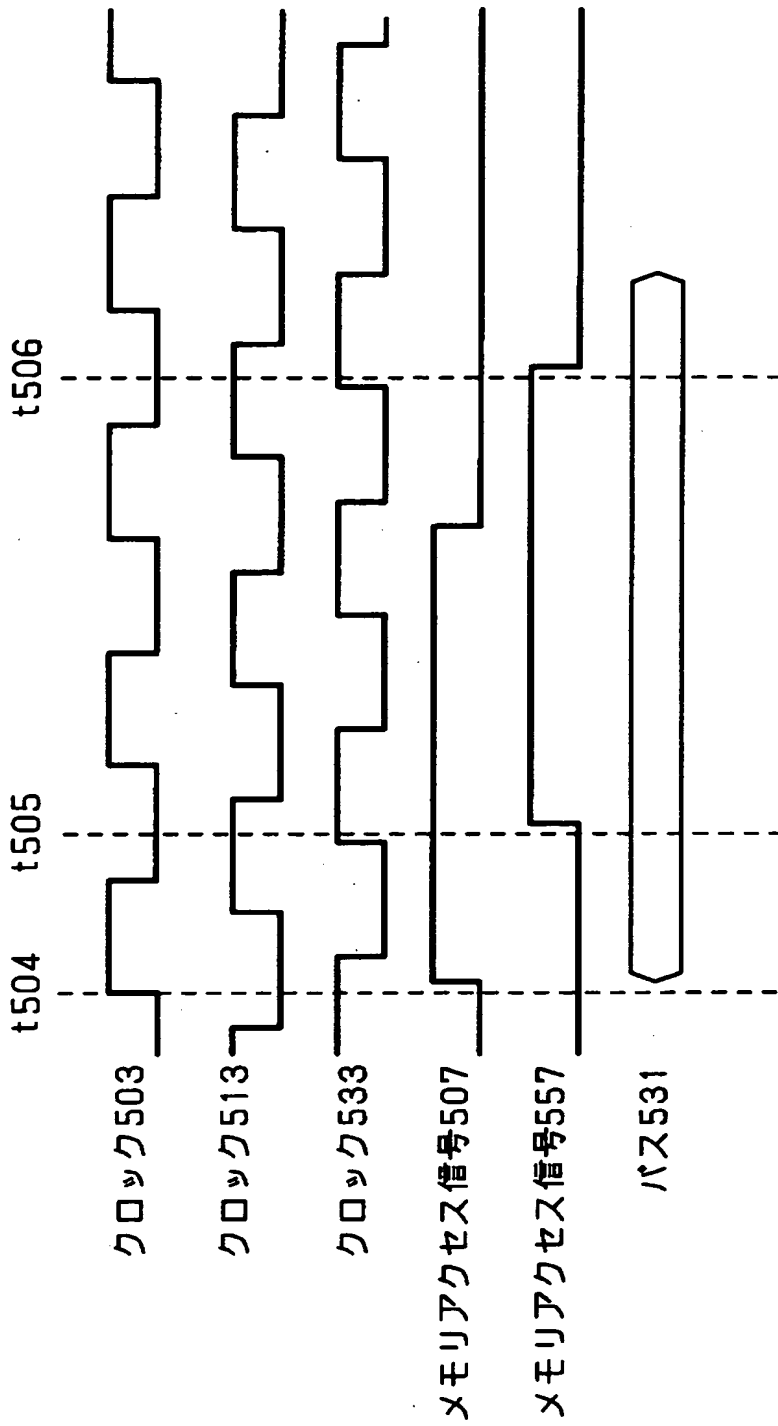
【図 4】



【図5】

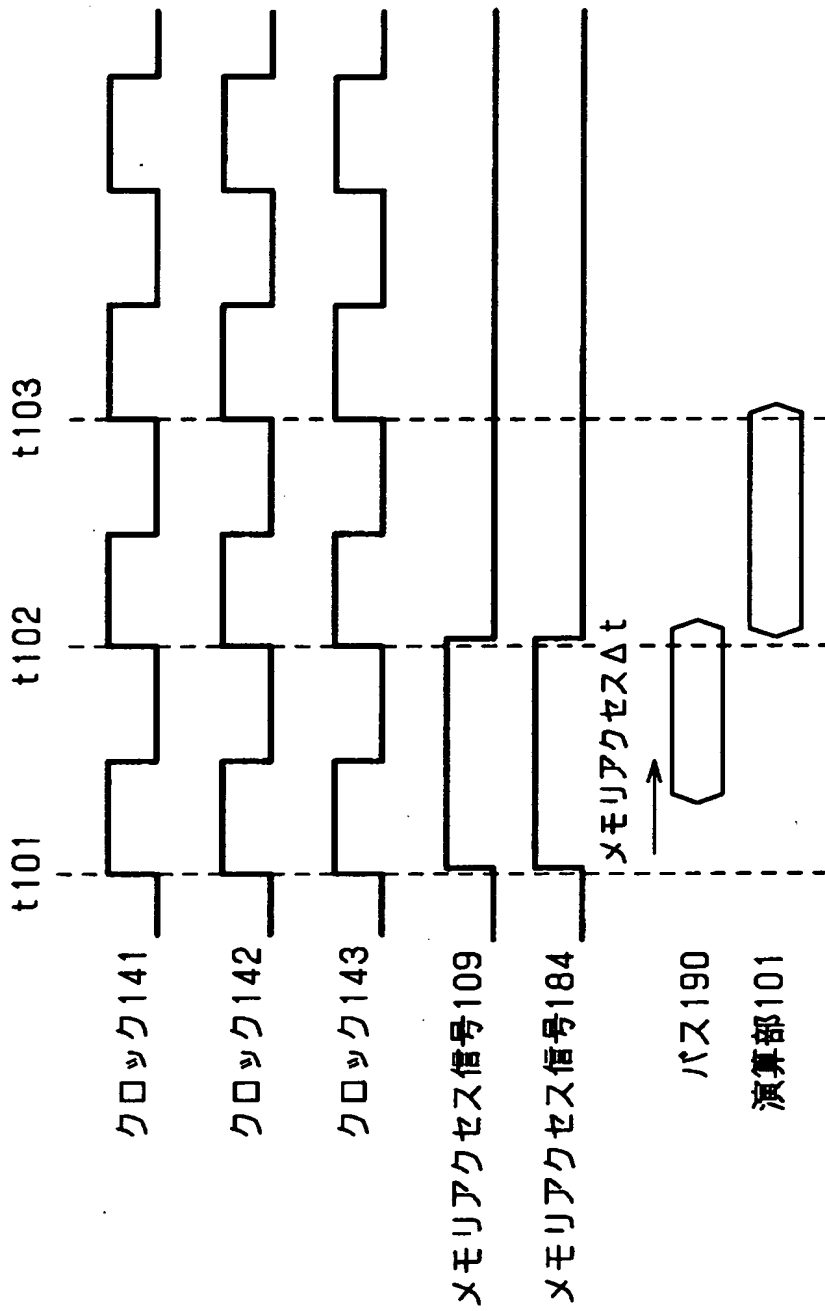


【図 6】

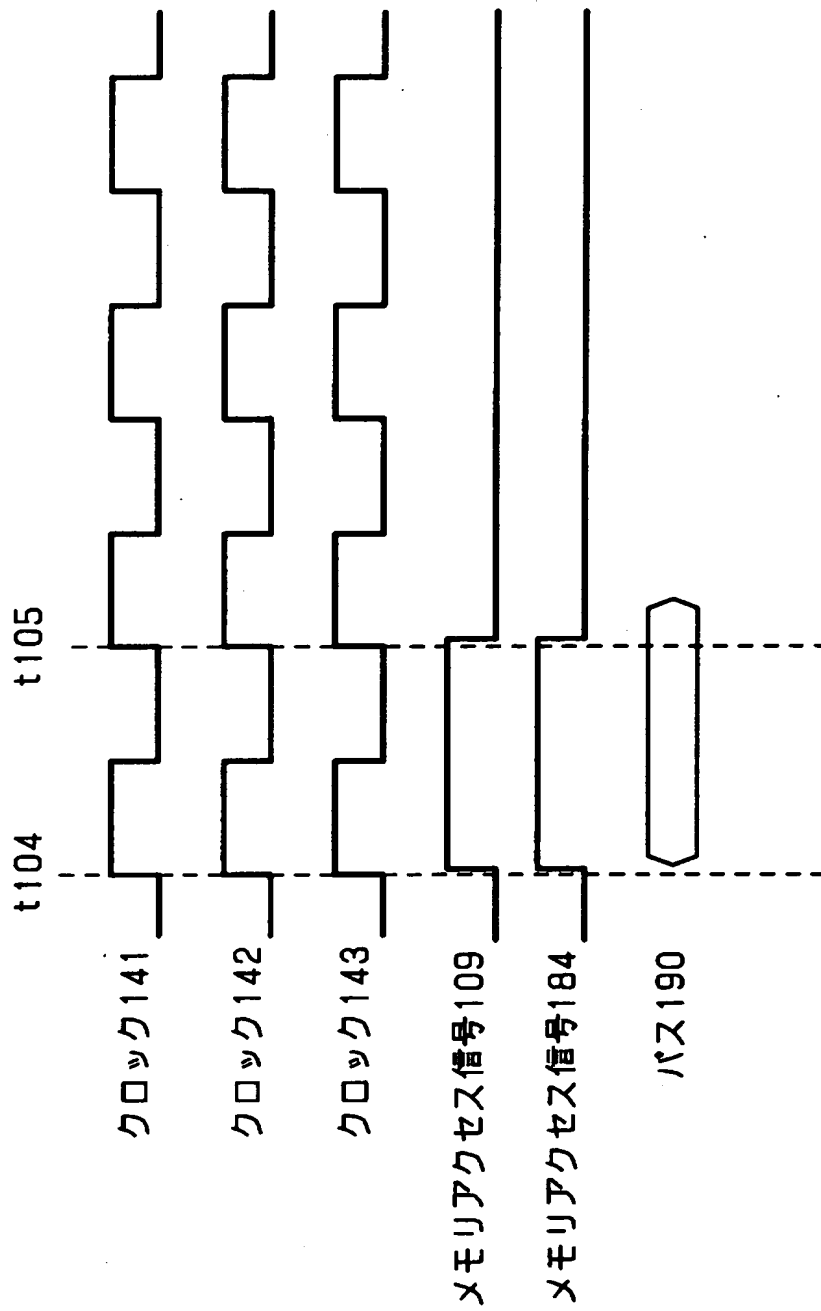




【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 最小のチップ面積で処理能力を飛躍的に高める。

【解決手段】 独立した複数のプロセッサ 1 0 0, 1 1 0 を内蔵し、メモリ 1 3 0、クロック制御部 1 8 0 を共有し、各プロセッサが位相の一致したクロック 1 4 1, 1 4 2, 1 4 3 に同期して動作する。各プロセッサは、それぞれリセット信号を持つ。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社